

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Jong-Wook SUK :

Serial No.: [NEW] : Mail Stop Patent Application

Filed: December 8, 2003 : Attorney Docket No. SEC.1106

For: A SEMICONDUCTOR DEVICE HAVING AN ACTIVE REGION WHOSE WIDTH VARIES

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2002-0078226 filed December 10, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: December 8, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078226
Application Number

출원년월일 : 2002년 12월 10일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 04 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【제출일자】	2002.12.10	
【발명의 명칭】	활성 영역을 구비하는 반도체 소자	
【발명의 영문명칭】	A SEMICONDUCTOR DEVICE HAVING AN ACTIVE REGION	
【출원인】		
【명칭】	삼성전자 주식회사	
【출원인코드】	1-1998-104271-3	
【대리인】		
【성명】	임창현	
【대리인코드】	9-1998-000386-5	
【포괄위임등록번호】	1999-007368-2	
【대리인】		
【성명】	권혁수	
【대리인코드】	9-1999-000370-4	
【포괄위임등록번호】	1999-056971-6	
【발명자】		
【성명의 국문표기】	석종욱	
【성명의 영문표기】	SUK, JONG WOOK	
【주민등록번호】	690610-1358015	
【우편번호】	445-973	
【주소】	경기도 화성군 태안읍 반월리 868번지 신영통 현대아파트 201동 904 호	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)	
【수수료】		
【기본출원료】	20	면 29,000 원
【가산출원료】	8	면 8,000 원

1020020078226

출력 일자: 2003/8/4

【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】			562,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명의 반도체 소자는 게이트 전극들이 지나가는 부분의 활성 영역의 폭이 지나가지 않는 부분의 활성 영역의 폭보다 작은 활성 영역을 구비한다. 따라서, 게이트 최소 선폭 감소에 따른 문턱 전압 상승이 게이트 전극이 지나가는 부분의 활성 영역 폭을 감소시키는 것에 의해 보상된다. 이에 따라, 누설 전류 등과 같은 노이즈에 기인하는 소자 오동작 또는 소자 불량을 방지할 수 있다.

【대표도】

도 7a

【색인어】

활성 영역, 게이트, 누설 전류, 씨오비(COB)

【명세서】**【발명의 명칭】**

활성 영역을 구비하는 반도체 소자{A SEMICONDUCTOR DEVICE HAVING AN ACTIVE REGION}

【도면의 간단한 설명】

도1은 통상적인 트랜지스터를 개략적으로 보여주는 반도체 기판의 평면도이다.

도2는 본 발명의 일 실시예에 따른 반도체 소자를 보여주는 반도체 기판의 평면도이다.

도3 내지 도10은 본 발명의 바람직한 실시예에 따라 반도체 소자를 제조하는 방법을 설명하기 위한 도면들이다.

도11은 본 발명의 다른 실시예에 따른 반도체 소자를 개략적으로 보여주는 평면도이다.

* 도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판 180 : 소자 분리 영역

200 : 활성 영역 240 : 게이트 전극

280a, 280b : 드레인, 소오스 영역 340 : 비트 라인

460 : 커패시터

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자에 관한 것으로서, 더욱 상세하게는 우수한 트랜지스터 특성을 확보할 수 있는 활성 영역을 구비하는 반도체 소자에 관한 것이다.

<11> 트랜지스터는 반도체 칩을 구성하는 핵심적인 소자로서, 게이트, 드레인 및 소오스로 구성된다. 예컨대, 트랜지스터는 디램 등의 반도체 기억 소자를 구성하는 셀 커패시터에 접근하기 위한 통로로서의 기능(패스 트랜지스터)을 한다. 즉, 드레인에는 비트 라인이 연결되고 소오스에는 셀 커패시터의 일단이 연결된다. 이에 따라, 게이트 전극에 문턱전압 이상의 전압을 인가하면 소오스 및 드레인 사이에서 전류 통로(채널)가 형성되어 셀 커패시터에 저장된 정보가 비트 라인을 통해서 판독되거나 셀 커패시터에 정보가 저장된다. 따라서, 문턱전압을 인가하기 전에 이미 소오스 및 드레인 사이에 전류 통로가 형성되거나, 소오스 및 드레인을 통한 누설 전류가 발생하면, 소자가 오동작하게 된다. 이와 같은 문제는 최근의 고집적 반도체 소자에 있어서 더욱 심각해지며, 트랜지스터가 형성되는 활성 영역 모양(즉, 패턴)과 밀접한 관련을 가진다.

<12> 통상적으로, 트랜지스터는 소자 분리 공정이 진행되어 반도체 기판에 활성 영역이 한정된 후, 게이트 절연막에 의해서 실리콘 기판으로부터 절연되는 도전성 게이트 전극을 형성하고, 활성 영역에 불순물 이온을 주입하여 소오스 및 드레인을 형성함으로서 제조된다.

<13> 도1을 참조하여 통상적인 반도체 소자에서 발생하는 문제점을 설명하기로 한다. 도1을 참조하여, 통상적인 반도체 소자는 소자 분리 영역(18)에 의해 반도체 기판에 한정된 활성 영역(20)을 포함한다. 상기 소자 분리 영역(18)은, 가령, 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성한 후, 그곳에 절연물질을 채움으로써 형성된다. 상기 활성 영역(20) 및 소자 분리 영역(18)을 가로 질러 게이트 전극들(24)이 달린다. 게이트 전극들(24)에 의해 노출된 활성 영역들에 불순물 이온이 주입되어 소오스 및 드레인이 형성된다.

<14> 도시된 바와 같이, 상기 활성 영역(20)은 상기 게이트 전극들(24)이 달리는 방향으로의 폭이 일정한 라인 형상을 갖는다. 즉, 상기 게이트 전극들(24) 사이의 활성 영역 중심부(20A)

의 폭(a), 상기 게이트 전극들(24) 외측의 활성 영역 말단부들(20B)의 폭(b) 및 상기 게이트 전극들(24)이 지나는 활성 영역 채널부(20C)의 폭(c)은 서로 동일하다.

<15> 이와 같은 활성 영역 모양을 갖는 통상적인 반도체 소자에 있어서, 트랜지스터의 문턱전압은 게이트 전극 최소 선폭(L_g , 즉, 활성 영역의 폭과 직교하는 방향으로의 게이트 전극 치수)에 의존한다. 즉, 소자의 고집적화에 따라, 게이트 전극 최소 선폭(L_g)이 감소하면, 노출되는 활성 영역(20A, 20B)의 크기는 증가하는 반면 문턱전압은 감소하게 된다. 고집적화에 따른 문턱전압의 감소로 인해, 소자가 누설 전류 등에 크게 영향을 받아 소자 오동작이 발생한다. 반면, 게이트 전극 최소 선폭(L_g)의 크기를 증가시키면 문턱전압은 증가하여 상기 문제점은 해결될 수 있다. 하지만, 이 경우, 노출되는 활성 영역(20A, 20B)의 크기가 감소하여 저항이 증가하게 되고, 가령, 트랜지스터 턴-온시 소오스 및 드레인을 통한 전류 량이 감소할 수 있다.

<16> 따라서, 새로운 모양의 활성 영역을 구비하는 반도체 소자가 절실히 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 이상에서 언급한 상황하에서 본 발명이 제안되었다. 본 발명의 목적은 새로운 모양의 활성 영역을 구비하는 반도체 소자를 제공하는 것이다.

【발명의 구성 및 작용】

<18> 상기 본 발명의 목적을 달성하기 위한 반도체 소자는 새로운 모양의 활성 영역을 구비한다. 상기 활성 영역 위를 가로 질러서 게이트 전극이 지나간다. 본 발명에 따르면, 상기 활성 영역은 게이트 전극이 지나가는 방향으로 측정했을 때, 다양한 폭을 갖는 것을 일 특징으로 한다. 바람직하게, 게이트 전극이 지나가는 활성 영역의 폭은 그렇지 않는 활성 영역의 폭보다

다 작다. 이에 따라 게이트 전극의 최소 선폭이 감소하더라도, 그것이 지나가는 활성 영역의 폭 또한 작기 때문에, 문턱전압 감소를 억제할 수 있다. 이에 따라, 고집적 소자에서 특히 문제되는 누설 전류에 따른 영향을 크게 받지 않아 소자 오동작을 방지할 수 있다. 또, 게이트 전극이 지나가지 않는 활성 영역의 폭은 여전기 크기 때문에, 저항 감소를 방지할 수 있고 소오스 및 드레인 사이의 전류 양 감소를 방지할 수 있다. 이에 따라, 소자의 동작 속도를 향상 시킬 수 있다.

<19> 바람직하게, 상기 활성 영역 위로 서로 떨어져서 평행하게 두 개의 게이트 전극이 지나간다. 이에 따라 상기 활성 영역은 세 부분들로 나누어진다. 즉, 상기 게이트 전극들 사이의 활성 영역 중심부, 상기 활성 영역 중심부 양측에 위치하며 상기 각 게이트 전극 외측에 위치한 두 개의 활성 영역 말단부들 및 상기 각 게이트 전극이 지나가는 두 개의 활성 영역 채널부들이 그것들이다. 이때, 상기 활성 영역 중심부의 폭은 상기 활성 영역 말단부들의 폭보다 크다. 또, 상기 활성 영역 말단부들의 폭은 상기 활성 영역 중심부들의 폭보다 크다.

<20> 상기 활성 영역 중심부는 이온 주입에 의해 드레인 영역이 되고, 상기 활성 영역 말단부들은 소오스 영역이 된다. 즉, 두 게이트 전극들은 그 사이의 드레인 영역을 서로 공유한다. 각 게이트 전극 하부의 활성 영역 채널부는 소오스 및 드레인 사이에 해당하는 영역으로서, 전류 통로, 즉, 채널이 형성되는 영역이다. 결국, 활성 영역에 두 개의 트랜지스터가 형성된다.

<21> 상기 드레인 영역에는 비트 라인이 전기적으로 접속하고, 상기 소오스 영역들에는 각각 커패시터가 전기적으로 접속한다. 이때, 상기 커패시터는 상기 비트 라인 상부에 위치하여 씨오비 구조(COB:Capacitor Over Bit line)를 형성하는 것이 바람직하다.

<22> 이상에서 설명한 본 발명의 반소체 소자에 따르면, 우수한 특성을 가지는 고집적 트랜지스터를 형성할 수 있다.

<23> 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막), 패턴 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 '상'에 있다고(또는 형성된다고) 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<24> 도2는 본 발명에 따른 새로운 모양의 활성 영역을 구비한 반도체 소자를 개략적으로 도시한 평면도이다. 도2를 참조하여, 반도체 기판(100)에 활성 영역(200)이 일정한 패턴으로 배치되어 있다. 상기 활성 영역(200)은 소자 분리 영역(180)에 의해 서로 전기적으로 격리되어 있다. 상기 활성 영역(200)은 서로 다른 폭을 갖는다. 여기서 활성 영역의 폭은 게이트 전극이 지나가는 방향으로 측정된 치수를 말한다. 상기 활성 영역(200)의 윤곽은 부드러운 곡선 형태를 나타낸다. 게이트 전극들(240)이 y축 방향으로 상기 활성 영역(200) 및 소자 분리 영역(180) 상부에서 서로 떨어져서 평행하게 지나간다. 이때, 상기 게이트 전극(240)은 그 폭이 가장 좁은 활성 영역을 지나간다. x축 방향으로 비트 라인(340)이 서로 떨어져서 평행하게 지나간다. 즉, 상기 비트 라인(340)은 상기 게이트 전극(240)에 직교한다.

<25> 구체적으로, 각 활성 영역(200)에 두 개의 게이트 전극(240)이 지나간다. 이에 따라, 상기 활성 영역(200)은 세 부분으로 나누어진다. 즉, 상기 두 게이트 전극(240)들 사이에 위치하는 활성 영역 중심부(200A), 상기 활성 영역 중심부(200A) 양측에, 즉, 상기 각 게이트 전

극(240)의 외측에 위치하는 두 개의 활성 영역 말단부(200B) 및 상기 각 게이트 전극(240)이 지나가는 두 개의 활성 영역 채널부(200C)가 그것들이다. 상기 활성 영역 채널부(200C)는 상기 활성 영역 중심부(200A) 및 상기 활성 영역 말단부(200C)를 서로 연결시키는 연결부에 해당한다. 여기서 게이트 전극의 외측이란 게이트 전극이 서로 마주보는 방향을 게이트 전극의 내측이라고 할 경우, 여기에 대응해서 서로 마주보지 않는 방향을 말한다.

<26> 상기 활성 영역 중심부(200A) 및 활성 영역 말단부들(200B)은 각각 드레인 영역 및 소오스 영역이 형성되는 곳이다. 상기 활성 영역 채널부(200C)는 소오스 및 드레인 사이의 영역으로서, 전류 통로인 채널이 형성되는 곳이다. 상기 활성 영역 중심부(200A), 즉 드레인 영역에는 상기 비트 라인(340)이 전기적으로 접속한다. 상기 활성 영역 말단부(200B)에는 비록 도시하지는 않았지만 커패시터가 전기적으로 접속한다.

<27> 상기 각 게이트 전극(240)이 지나가는 활성 영역 채널부(200C)의 폭(C)은 상기 활성 영역 중심부(200A)의 폭(A) 및 상기 활성 영역 말단부(200B)의 폭(B) 보다 좁다. 또, 상기 활성 영역 중심부(200A)의 폭(A)은 상기 활성 영역 말단부(200B)의 폭(B)보다 넓은 것이 바람직하다. 이에 따라, 씨오비(COB:Capacitor Over Bit line) 구조를 용이하게 구현할 수 있다. 즉, 커패시터가 비트 라인 상부에 배치된다.

<28> 이하에서는 위에서 언급한 반도체 소자를 제조하는 바람직한 방법을 도3 내지 도10을 참조하여 설명을 한다. 또, 도면들에는 단지 하나의 활성 영역만이 도시되어져 있다.

<29> 도3a 내지 도8a는 본 발명의 바람직한 방법의 주요 공정단계에서의 반도체 기판의 평면도이고, 도3b 내지 도8b는 도3a의 X-X' 라인을 따라 절취했을 때, 각각 도3a 내지 도8a에 대응하는 단면도이다. 도9 및 도10은 도8b에 후속하는 공정 단계에서의 반도체 기판의 단면도이다.

<30> 본 발명의 보다 명확한 이해를 위해서, 평면도 및 이에 대응하는 단면도를 동시에 참조하여 설명을 한다.

<31> 먼저 도3a 및 도3b를 참조하여, 반도체 기판(100)이 준비된다. 상기 반도체 기판(100)은 실리콘 단결정 기판으로서, 통상적인 방법에 따라 제공된다.

<32> 다음 공정은 활성 영역을 한정하는 소자 분리 공정으로서, 도4 내지 도6을 참조하여 설명을 한다.

<33> 먼저 도4a 및 도4b를 참조하여, 상기 반도체 기판(100) 상에 식각 패턴 즉, 패드 산화막 패턴(120) 및 마스크 질화막 패턴(140)을 형성한다. 상기 식각 패턴(120, 140)에 의해 덮혀진 반도체 기판이 활성 영역으로 되고, 그렇지 않은 부분이 소자 분리 영역이 된다. 즉, 상기 식각 패턴(120, 140)의 모양에 대응하여 활성 영역의 모양이 결정될 것이다.

<34> 다음 도5a 및 도5b를 참조하여, 상기 식각 패턴(120, 140)을 식각 마스크로 사용하여 노출된 반도체 기판을 식각하여 트렌치(160)를 형성한다. 상기 트렌치(160)는 측벽(160s) 및 바닥(160b)에 의해 정의된다.

<35> 다음 도6a 및 도6b를 참조하여, 상기 트렌치(160)를 절연물질로 채워 소자 분리 영역(180)을 형성한다. 이에 따라, 상기 소자 분리 영역(180)에 의해 둘러싸인 소정 모양을 갖는 활성 영역(200)이 형성된다. 상기 활성 영역(200)은 다양한 폭을 갖는다. 즉, 상기 활성 영역(200)은 드레인 영역이 형성될 활성 영역 중심부(200A), 상기 활성 영역 중심부(200A) 양측에 위치하며 소오스 영역이 형성될 활성 영역 말단부(200B) 및 이들 두 영역들을 연결시키며 게이트 전극이 지나갈 활성 영역 채널부(200C)로 구분될 수 있다.

<36> 이때, 게이트 전극이 지나갈 활성 영역 채널부(200C)의 폭(C)은 상기 활성 영역 중심부(200A)의 폭(A) 및 상기 활성 영역 말단부(200B)의 폭(B) 보다 좁다. 또, 상기 활성 영역 중심부(200A)의 폭(A)은 상기 활성 영역 말단부(200B)의 폭(B)보다 넓다.

<37> 다음 공정은 트랜지스터 형성 공정으로서 도7 내지 도8을 참조하여 설명을 한다. 먼저 도7a 및 도7b를 참조하여, 소자 분리 공정이 완성된 후, 게이트 절연막(220)에 의해 반도체 기판(100)과 전기적으로 절연된 게이트 전극들(240)을 형성한다. 상기 게이트 전극들(240)은 상기 활성 영역(200) 및 소자 분리 영역(180) 위를 지나간다. 상기 게이트 전극들(240)은 서로 떨어져서 평행하게 달리며, 두 개의 게이트 전극이 상기 활성 영역(200)을 지나간다. 이때, 상기 활성 영역(200) 중 가장 작은 폭을 갖는 활성 영역 채널부(200C)를 지나도록 상기 게이트 전극들(240)이 형성된다. 즉, 상기 활성 영역 중심부(200A)는 상기 게이트 전극(240) 사이에 위치하고, 상기 활성 영역 말단부(200B)는 상기 게이트 전극(240) 외측의 활성 영역 가장자리에 위치한다.

<38> 다음 도8a 및 도8b를 참조하여, 상기 게이트 전극(240) 측벽에 절연막 측벽 스페이서(260)를 형성한다. 상기 절연막 스페이서(260)는 후속 공정으로 형성될 산화막으로 이루어진 층간 절연막에 대해서 각각 선택비를 가지는 막질, 가령, 실리콘 질화막으로 형성된다. 계속해서, 상기 게이트 전극(240) 및 그 측벽 스페이서(260)를 이온 주입 마스크로 사용하여 노출된 활성 영역들, 즉 활성 영역 중심부(200A) 및 활성 영역 말단부(200B)에 불순물 이온을 주입하여 도전성을 갖는 드레인 영역(280a) 및 소오스 영역(280b)을 형성한다. 이때, 주입되는 불순물 이온의 도전형은 반도체 기판의 도전형과 반대되는 도전형이다. 가령, 반도체 기판이 피(p)형이라면, 주입되는 불순물 이온은 엔(n)형이다.

<39> 이에 따라, 게이트 전극 그리고 그 양측에 형성된 불순물 확산 영역인 소오스 및 드레인 영역으로 이루어진 트랜지스터가 완성된다.

<40> 여기서, 상기 측벽 스페이서(260) 형성 전에, 저농도 드레인(LDD:Lightly Doped Drain)을 형성하기 위해, 상기 게이트 전극(240)을 이온 주입 마스크로 사용하여 불순물 이온을 주입하는 단계를 더 진행할 수 있다. 이때 주입되는 이농의 농도는 상기 측벽 스페이서(260) 형성 후 진행되는 이온 주입의 농도보다 더 낮다.

<41> 후속 공정은 비트 라인 및 커패시터 형성 공정으로서, 도9 내지 도10을 참조하여 설명을 한다.

<42> 먼저 도9를 참조하여, 트랜지스터를 완성한 결과의 반도체 기판 전면에 충간 절연막으로서 산화막(300)을 형성한 후 패터닝 공정을 통해서 상기 드레인 영역(280a) 및 소오스 영역(280b)을 노출시키는 개구부를 형성한 후 그곳에 도전물질을 채워 도전 패드(320a, 320b)를 형성한다. 드레인 영역(280a)에 접속하는 도전 패드(320a)에는 후속 공정으로 비트 라인이 전기적으로 접속한다. 소오스 영역(280b)에 접속하는 도전 패드(320b)에는 후속 공정으로 커패시터가 전기적으로 접속한다.

<43> 다음 도10을 참조하여, 도전 패드(320a, 320b)를 형성한 결과의 반도체 기판 전면에 하부 절연막(330)을 형성하고, 패터닝 공정을 통해서 상기 드레인 영역(280a)에 전기적으로 접속한 상기 도전 패드(320a)를 노출시키는 개구부를 형성한다. 이어서 상기 개구부를 채우도록 상기 하부 절연막(330) 상에 비트 라인용 도전막을 형성하고 이를 패터닝하여 비트 라인(340)을 형성한다. 상기 비트 라인(340)은 상기 게이트 전극(240)에 직교하도록 형성된다. 다음, 상기 비트 라인(340) 및 상기 하부 절연막(330) 상에 상부 절연막(360)을 형성한다.

<44> 계속해서, 상기 상부 절연막(360) 및 하부 절연막(330)을 패터닝하여 상기 소오스 영역(280b)에 전기적으로 접속하는 도전 패드(320b)를 노출시키는 개구부를 형성한 후 그곳을 도전 물질로 채워 플러그(380)를 형성한다.

<45> 이어서, 통상적인 방법에 따라 상기 플러그(380)에 전기적으로 접속하는 커패시터(460)를 형성한다. 상기 커패시터(460)는 상기 플러그(380)에 접속하는 하부 전극(400), 상기 하부 전극(400) 및 상부 절연막(360) 상에 형성된 유전막(420) 그리고, 상기 유전막(420) 상에 형성된 상부 전극(440)으로 구성된다.

<46> 후속 공정은 패시베이션 공정으로서 통상적인 방법에 따라 진행된다.

<47> 도11은 본 발명의 다른 실시예에 따른 반도체 소자를 개략적으로 도시한 평면도이다. 앞서 도2를 참조하여 설명한 활성 영역 모양과 달리, 활성 영역의 윤곽이 직선 형태를 나타낸다.

<48> 앞서 설명한 활성 영역과 동일하게 본 실시예의 활성 영역(200') 역시 활성 영역 중심부(200'A), 활성 영역 말단부(200'B) 및 활성 영역 채널부(200'C)로 구성된다. 상기 활성 영역 채널부(200'C) 상으로 게이트 전극(240)이 지나간다. 활성 영역 채널부(200'C) 및 게이트 전극(240)이 교차하여 형성되는 영역은 직사각형 또는 정사각형 모양을 갖는다.

<49> 상기 활성 영역 채널부(200'C)의 폭(C)은 상기 활성 영역 중심부(200'A)의 폭(A) 및 상기 활성 영역 말단부(200'B)의 폭(B) 보다 좁다. 또, 상기 활성 영역 중심부(200'A)의 폭(A)은 상기 활성 영역 말단부(200'B)의 폭(B)보다 넓다.

<50> 구체적으로, 상기 활성 영역(200')의 말단부들(200'B)은 각각 수직한 가장자리부(200'BV)를 가지며, 일정한 폭(B)을 가지면서 연장하여 서로를 향해 접근하다가 그 폭이 좁아

지도록 경사져 축소부(200'BS)를 이루어 게이트 전극(240)의 외측벽과 만난다. 여기서 서로 마주보는 두 게이트 전극의 측벽을 게이트 전극의 내측벽이라고 할때, 외측벽이란 서로 마주보지 않는 게이트 전극의 측벽을 가리킨다. 상기 활성 영역의 말단부들(200'B)의 경사진 부분인 축소부(200'BS)에서 연속하여 상기 활성 영역의 채널부들(200'C)이 시작되며, 상기 활성 영역의 말단부(200'B)의 폭보다 작은 일정한 폭(C)을 가지면서 연장하여 서로를 향해 접근하여 게이트 전극(240)의 내측벽과 만난다. 상기 활성 영역 중심부(200'A)는 상기 게이트 전극(240) 사이에 위치하며, 상기 활성 영역 말단부들(200'C)의 폭(C)보다 더 큰 폭(A)을 유지하다가 그 폭이 좁아지도록 경사져 축소부(200'AS)를 이루어 게이트 전극(240)의 내측벽과 만나서 상기 활성 영역 채널부(200'C)에 연결된다. 이때, 상기 활성 영역 중심부(200'A) 및 상기 활성 영역 말단부들(200'B)의 아래쪽 경계는 실질적으로 동일한 직성상에 위치할 것이다. 이에 반해 상기 상기 활성 영역 중심부(200'A)의 위쪽 경계는 상기 활성 영역 말단부들(200'B)의 위쪽 경계보다 더 높이 위치할 것이다. 그리고, 상기 활성 영역 채널부(200'C)의 위쪽 경계 및 아래쪽 경계는 상기 활성 영역 말단부(200'B)의 위쪽 경계 및 아래쪽 경계 사이에 위치할 것이다.

<51> 이상에서 설명한 활성 영역(200')의 모양에서 각 활성 영역의 외곽을 구성하는 직선 부분이 다소 부드럽게 굴곡이 지면 도2의 활성 영역(200)이 됨을 용이하게 알 수 있을 것이다.

<52> 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의

실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

【발명의 효과】

<53> 이상에서 설명한 본 발명에 따르면, 게이트 전극이 지나가는 활성 영역의 폭이 그렇지 않는 활성 영역의 폭보다 작게 형성됨으로써, 소자 고집적화에 따라 게이트 전극 최소 선폭이 감소하더라도 문턱 전압이 감소하지 않게 된다. 따라서, 소자 고집적화에 따른 누설 전류 등에 의해 발생하는 소자 오동작을 방지할 수 있다.

<54> 또, 게이트 전극에 의해 노출된 활성 영역이 크게 형성됨으로써, 저항 감소를 방지할 수 있다. 게다가, 게이트 전극 사이에 위치하는 활성 영역의 폭을 게이트 양측에 위치하는 활성 영역 말단부의 폭에 비해 더 크게 형성함으로써, 씨오비 구조의 반도체 소자를 용이하게 형성 할 수 있다.

【특허청구범위】**【청구항 1】**

소자 분리 영역에 의해 반도체 기판에 한정된 다양한 폭을 갖는 활성 영역에 있어서,
상기 활성 영역은 중심부, 상기 중심부 양측의 말단부들 및 상기 중심부를 상기 말단부
들에 연결시키는 연결부들을 포함하며,
상기 연결부들의 폭은 상기 중심부의 폭 및 상기 말단부들의 폭보다 작은 것을 특징으로
하는 반도체 소자.

【청구항 2】

제1항에 있어서,
상기 중심부의 폭은 상기 각 말단부의 폭보다 더 큰 것을 특징으로 하는 반도체 소자.

【청구항 3】

제1항 또는 제2항에 있어서,
상기 연결부를 위를 각각 지나는 게이트 전극들을 더 포함하는 반도체 소자.

【청구항 4】

제3항에 있어서
상기 중심부에는 비트 라인이 전기적으로 접속하고, 상기 각 말단부에는 커패시터가 전
기적으로 접속하는 반도체 소자.

【청구항 5】

제4항에 있어서,

상기 커패시터는 상기 비트 라인 위쪽에 위치하는 반도체 소자.

【청구항 6】

소자 분리 영역에 의해 반도체 기판에 한정된 다양한 폭을 갖는 활성 영역;

상기 활성 영역 및 소자 분리 영역 위를 서로 떨어져 평행하게 지나가는 게이트 전극들을 포함하되,

상기 게이트 전극들은 그 폭이 가장 작은 활성 영역 부분을 상기 게이트 지나가는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제6항에 있어서,

두 개의 게이트 전극들이 상기 활성 영역을 지나가고 이에 따라 상기 활성 영역은 세 영역들로 구분되며,

상기 세 영역들은 상기 두 게이트 전극들 사이에 위치한 활성 영역 중심부, 상기 게이트 전극을 사이에 두고 상기 활성 영역 중심부 양측에 위치한 두 개의 활성 영역 말단부들 및 상기 두 게이트 전극이 지나가는 두 개의 활성 영역 채널부들을 포함하되,

상기 활성 영역 중심부의 폭은 상기 활성 영역 말단부의 폭보다 큰 것을 특징으로 하는 반도체 소자.

【청구항 8】

제7항에 있어서,

상기 활성 영역 중심부에는 비트 라인이 전기적으로 접속하고, 상기 활성 영역 말단부들 각각에는 커패시터가 전기적으로 접속하는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제8항에 있어서,

상기 커패시터는 상기 비트 라인 위쪽에 위치하는 것을 특징으로 하는 반도체 소자.

【청구항 10】

반도체 기판에 형성된 소자 분리 영역;

상기 소자 분리 영역에 의해 한정되며 일정 모양을 갖는 활성 영역; 및

상기 활성 영역 및 상기 소자 분리 영역을 서로 떨어져 평행하게 지나가는 게이트 전극들을 포함하되,

상기 게이트 전극들이 지나가는 방향으로 측정될 때, 상기 게이트 전극들이 지나가는 활성 영역 부분의 폭은 상기 게이트 전극들이 지나가지 않는 활성 영역 부분의 폭보다 작은 것을 특징으로 하는 반도체 소자.

【청구항 11】

제10항에 있어서,

두 개의 게이트 전극들이 상기 활성 영역을 지나가고, 상기 두 게이트 전극들 사이에 위치한 활성 영역 중심부의 폭은 상기 활성 영역 중심부 양측에 위치한 활성 영역 말단부들의 폭

보다 크며, 상기 활성 영역 말단부들의 폭은 상기 게이트 전극들이 지나가는 활성 영역 부분의 폭보다 큰 것을 특징으로 하는 반도체 소자.

【청구항 12】

제11항에 있어서,

상기 활성 영역 중심부에에 비트 라인이 전기적으로 접속하고, 상기 활성 영역 말단부들 각각에 커패시터가 전기적으로 접속하는 것을 특징으로 하는 반도체 소자.

【청구항 13】

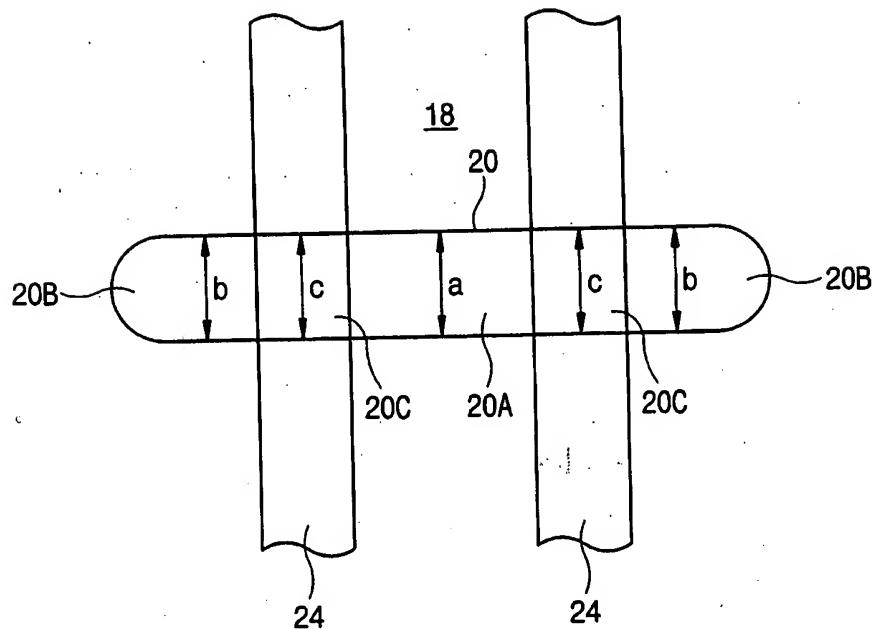
제10항에 있어서,

상기 커패시터는 상기 비트 라인 위쪽에 배치되는 것을 특징으로 하는 반도체 소자.

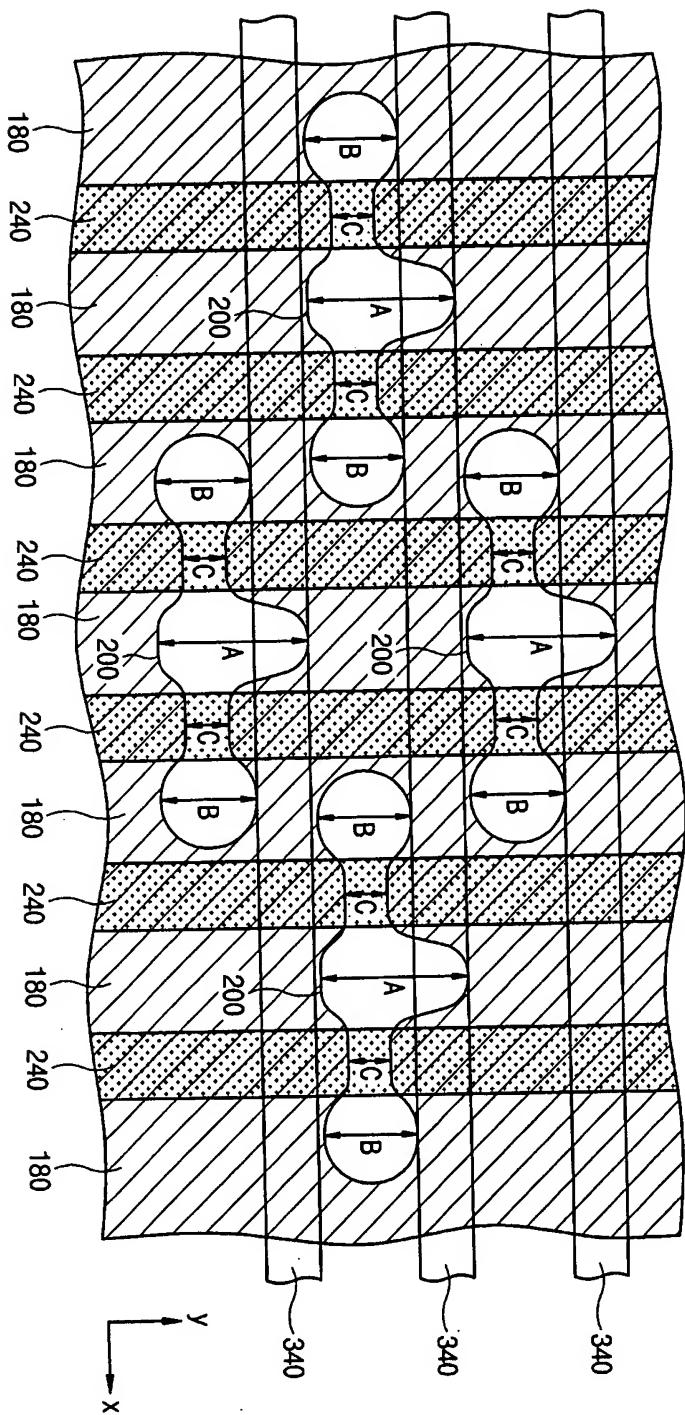
【도면】

【도 1】

(종래 기술)



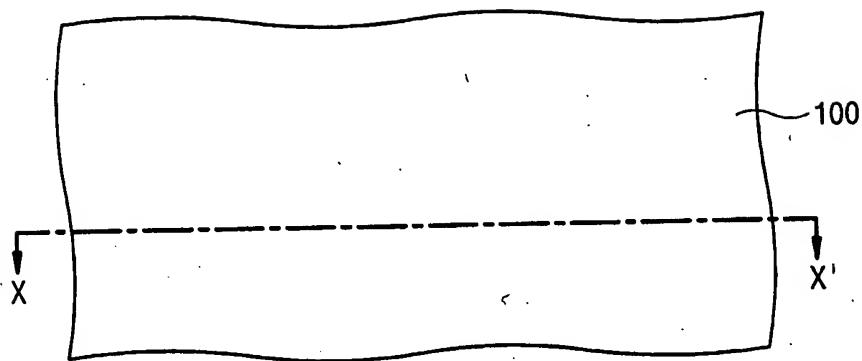
【도 2】



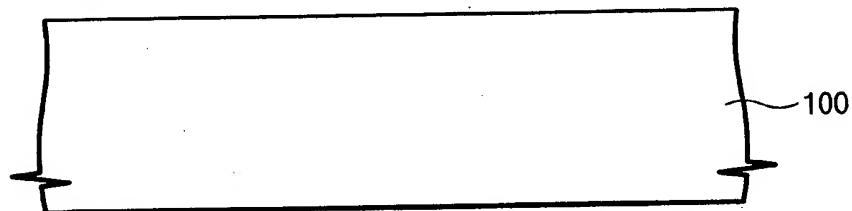
1020020078226

출력 일자: 2003/8/4

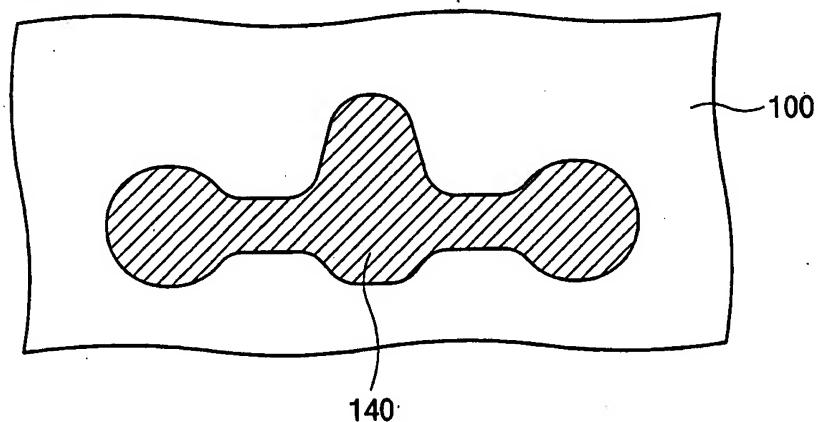
【도 3a】



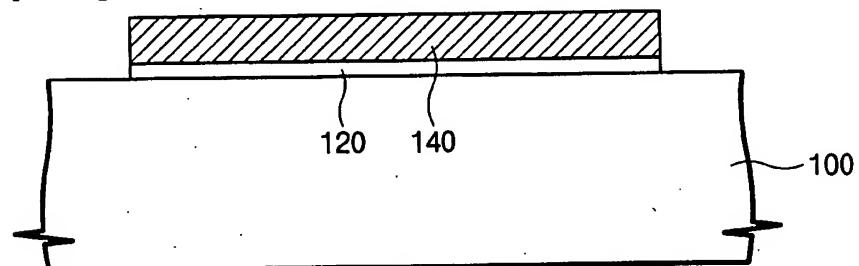
【도 3b】



【도 4a】



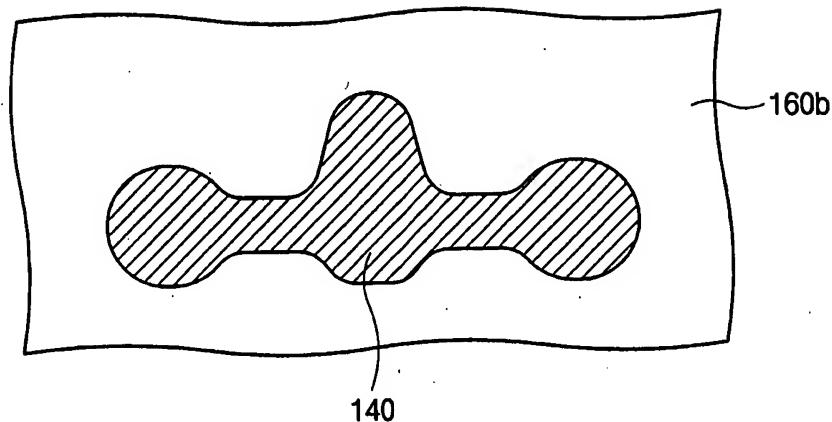
【도 4b】



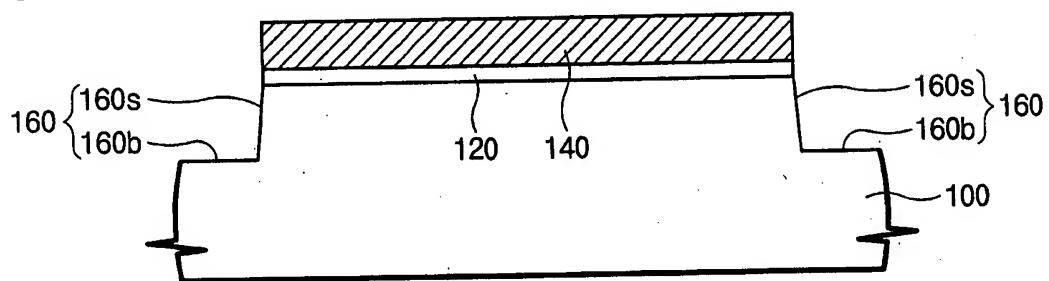
1020020078226

출력 일자: 2003/8/4

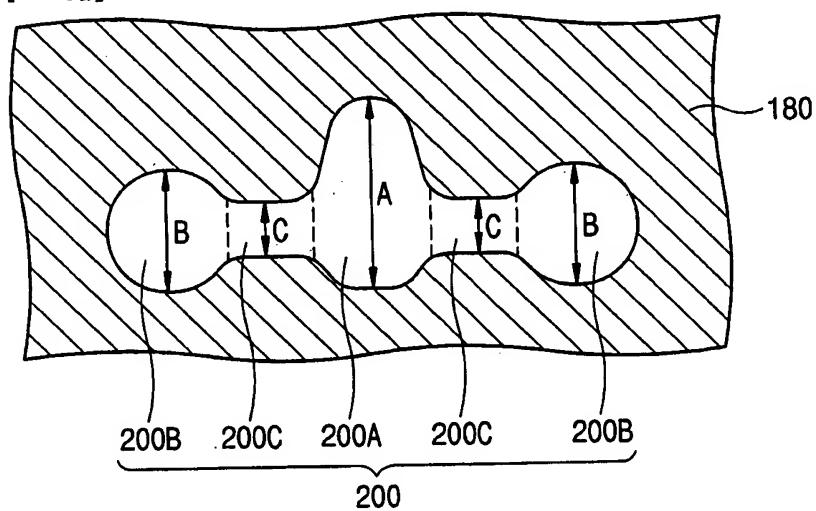
【도 5a】



【도 5b】



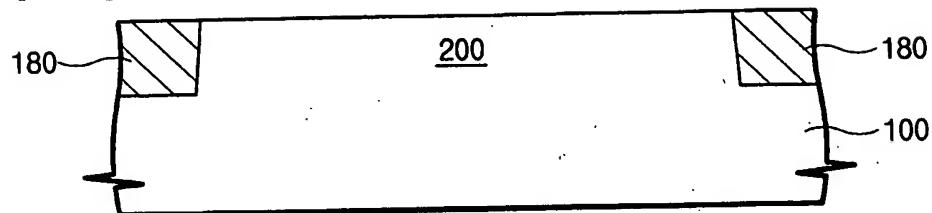
【도 6a】



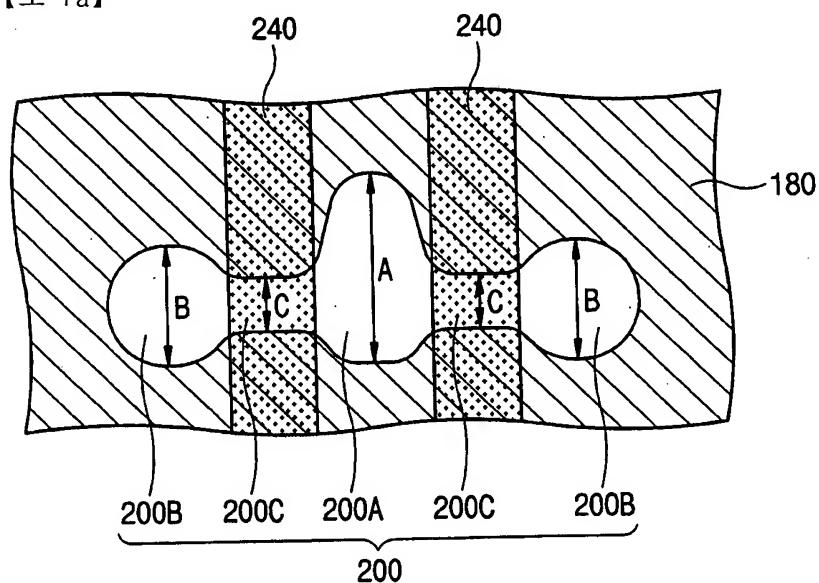
1020020078226

출력 일자: 2003/8/4

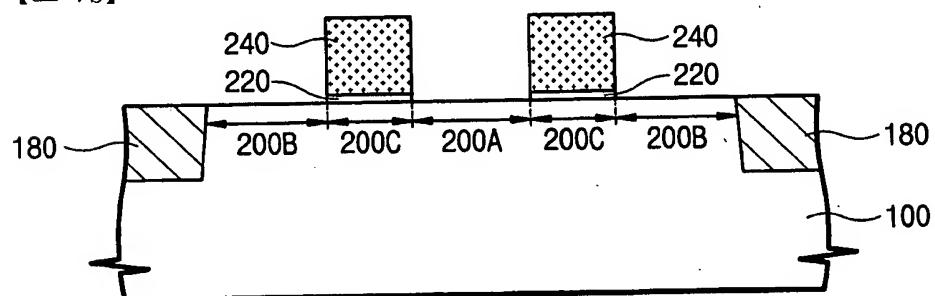
【도 6b】



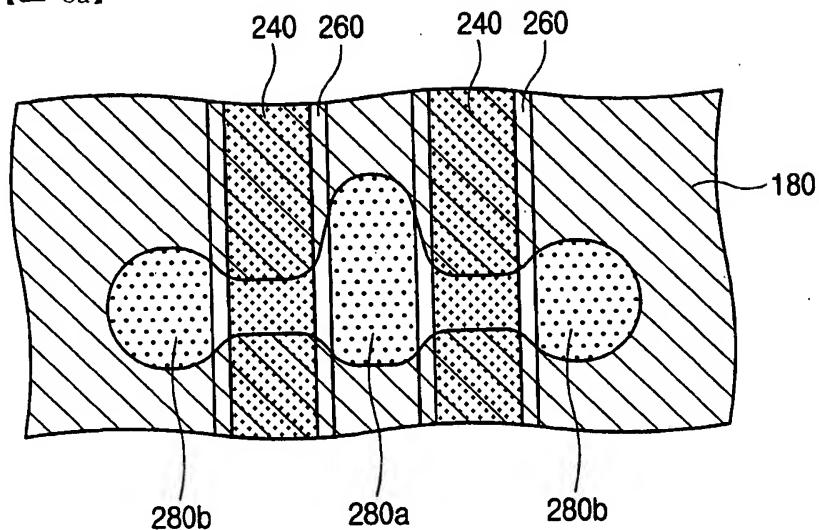
【도 7a】



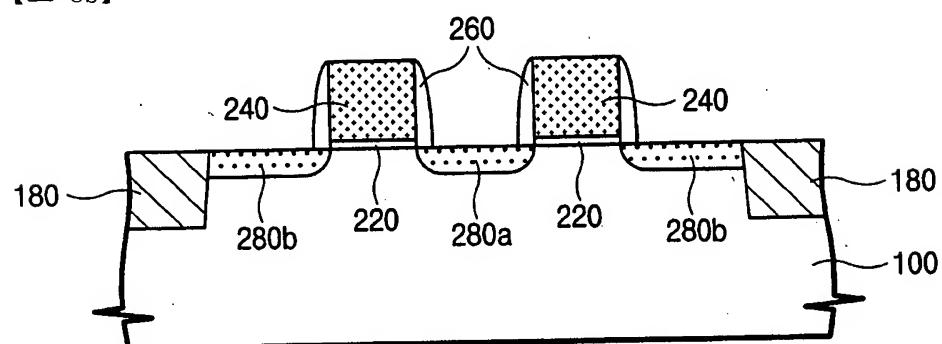
【도 7b】



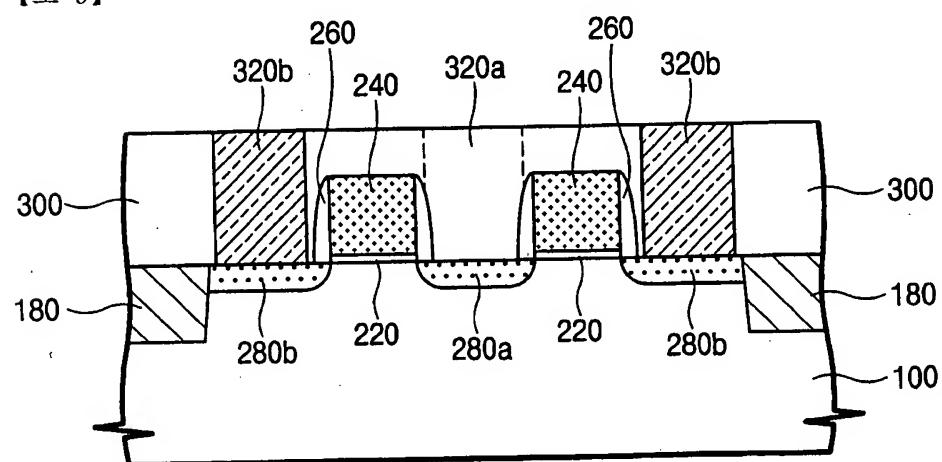
【도 8a】



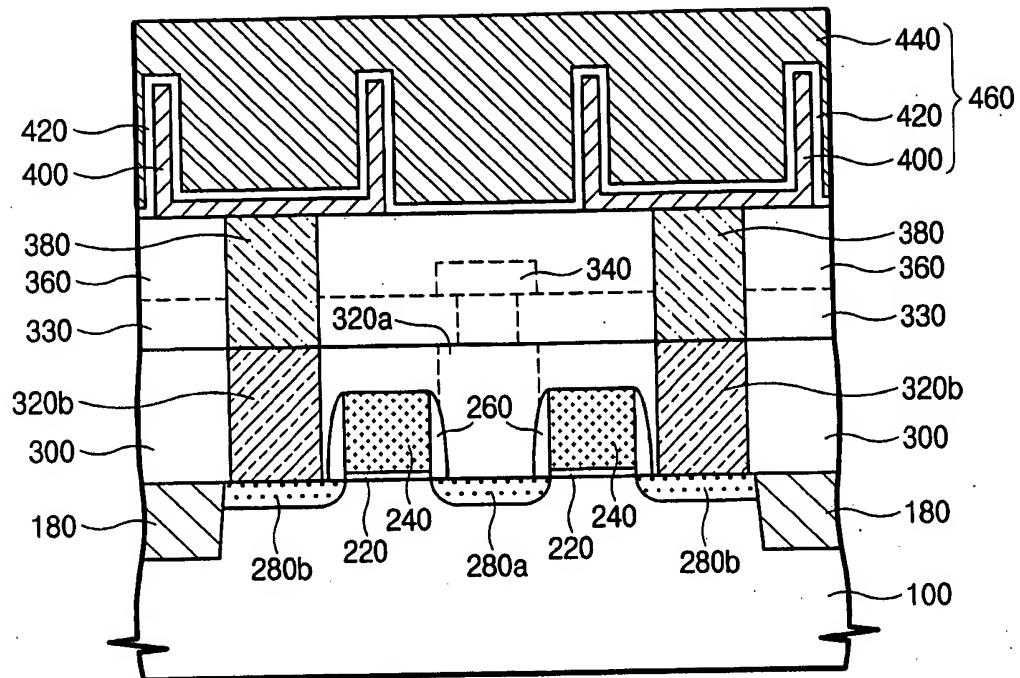
【도 8b】



【도 9】



【도 10】



【도 11】

